

低温多結晶シリコン成膜技術の薄型ディスプレイ用薄膜トランジスタへの応用 - 大型マザーガラスへの対応 -

Technology of low temperature micro-crystalline silicon thin film applied to TFT for LCD

高橋 英 治*	藤原 将 喜*
E. Takahashi	M. Fujiwara
岸田 茂 明*	西上 靖 明*
S. Kishida	Y. Nishigami
小寺 隆 志*	小野田 正 敏*
T. Kotera	M. Onoda
久保田 清*	林 司*
K. Kubota	T. Hayashi
緒方 潔*	
K. Ogata	

概 要

近年の液晶ディスプレイの大型化によりそのマザーガラスは一片が2mを超えている。このためプラズマCVD法による薄膜トランジスタの作成にはプラズマの不均一性が深刻な問題となっている。そこで本研究では内部アンテナ型ICPプラズマ源を開発し、大面積基板に対応した低温多結晶シリコン膜の開発を行っている。

Synopsis

In the recent trend of LCD, a mother glass substrate becomes larger and larger over 2m at each side to reduce production cost. A Serious issue of plasma ununiformity has been arisen for fabricating TFT for LCD. We have developed a novel plasma technology for large sized substrate by using inductively coupled plasma with internal antenna.

1. まえがき

フラットパネルディスプレイ (FPD) は省エネルギー・省スペース・軽量の観点から液晶ディスプレイ (LCD) が大きな発展を遂げ、最近では大型TVとしてプラズマディスプレイと同等のサイズが開発・市販されるに至っている。FPDの中心である液晶パネルの市場規模は2005年度に6兆円に達する見通しである⁽¹⁾。このように大きな産業に発展した液晶TVにおいて各パネルメーカーは生産コスト低減のために様々な戦略をとっている。その1つとして一枚のガラス基板 (マザーガラス) から作製される液晶パネルの数 (面取り数) を増やす事でコスト低減を図っている。すなわち、マザーガラスを大きくして、大型液晶TVの生産コストを低減させている。近年、第8世代と言われる2200 × 2600mm²のマザーガラスの使用が検討されているのはこのような背景による。

また、LCDパネル製造工程の第一段階において、マザーガラス上には薄膜トランジスタ (TFT) と呼ばれる液晶の配向を電氣的に制御するスイッチング素子が作り込まれる。このTFTは酸化珪素 (SiO₂) や窒化珪素 (SiN_x) からなるゲート絶縁膜と半導体であるアモルファスシリコン膜を層状に堆積した後、エッチングプロセスによるパターニング処理や電極を形成することでトランジスタとして作り込まれていく。これらのゲート絶縁膜やシリコン膜の堆積は一般に高周波プラズマCVD法 (PECVD法) が用いられる。これはPECVD法が低温下 (< 400) で高速 (> 50nm/min) の薄膜堆積が可能であり、生産プロセスに適している理由による。このとき膜厚の面内バラツキはTFT電気特性を大きく左右することから高い膜厚均一性が要求される。これまでのマザーガラスサイズの拡大に伴いPECVD装置はその電極サイズをスケー

*技術開発研究所

ルアップすることで対応する事が出来た。

しかし、マザーガラスサイズが3mを超えるサイズになると従来のスケールアップ手法が通用しなくなる可能性がある。すなわち、高周波（13.56MHz）の自由空間での波長は22mであるが、電極のような伝送路上での実効波長はプラズマとの結合の影響等により13m程度まで短くなる事が知られている⁽²⁾。一般に伝送路上では1/4の長さに対応する定在波が生じることから、高周波電力の空間分布を抑制するため、伝送路は1/4になるよう設計される。従来装置では基板サイズと電極サイズがほぼ同じスケールサイズであるため、マザーガラスが3mを超えた場合、定在波の影響によってプラズマの不均一性が本質的に発生することになる。従って基板サイズに依存しない均一なプラズマを発生させる事のできるプラズマ源が強く要求されている。

一方、TFTの半導体層として用いられるアモルファスシリコンは低温形成が可、膜比抵抗が高い、プロセスウィンドウが広い等の特徴を有する事から、特にTV用の大型LCDに用いられてきた。しかし、電子移動度が低い、長時間駆動による特性変化（ V_{th} ）が大きな問題となっている。このため、アモルファスシリコンの特性向上による高品質化も大きな課題となっている。

我々はこれまで低温多結晶シリコン薄膜の直接堆積技術について研究してきた⁽³⁾。その結果、低温多結晶シリコン堆積に必要なプラズマ状態やプロセスについて多くの知見を蓄積してきた。この低温多結晶シリコンは電子移動度が高く、 V_{th} が小さい等のアモルファスシリコンでは得られない様々な特徴を有していることから、その代替材料として有望であることが期待される。

そこで本研究では大面積基板に対応できるプラズマ源を開発し、低温多結晶シリコン薄膜のガラス基板上への直接堆積を試みた。さらにTFTを作製し、その電気特性を検証したので以下に詳細を報告する。

2. 内部アンテナ型低インダクタンスプラズマ源

一般に高密度プラズマが得られる発生方式として誘導結合型プラズマ源（ICP）やマイクロ波放電等が知られている⁽⁴⁾。しかし、LCD用PECVDでは容量結合型プラズマ（CCP）が採用されてきた。特に2枚の電極（一方は基板）が平行に配置された平行平板型CCPでは電極がフラットな導電体（誘電体被覆あり）で形成されていることから

- ・面内均一性に優れる
- ・スケールアップが容易
- ・メンテナンス性に優れる

といった特徴を有していることによる。しかし、上述のように基板サイズが3mを超えた場合には同方式の採用

は困難になる。

そこで、本研究では高密度プラズマが得られるICP方式に着目した。同方式の研究は古くから行なわれているが、多くの場合プラズマ発生室の大気側にソレノイドコイルを配置し、プラズマへの電力伝達は誘電体窓を通して行なわれる。このことから基板が大型化した場合、コイル全長が1/4を超え定在波が生じることが懸念される。さらに、大面積の誘電体窓の設計が困難になることが予想される。

本研究では図1に示すようにICP用アンテナ（ソレノイドコイル）をプラズマ発生室の内部に配置することとした。これにより誘電体窓の問題は解消される。また、各アンテナをU字型にしてアンテナ長を短くする構成とした。各アンテナはプラズマ発生室内の任意の位置に配置する事が可能であり、基板サイズに依存しないプラズマ源の設計が可能となる。また、アンテナ長を短くする事で、インダクタンス成分を低減し、RF電力導入時に発生するインピーダンスを低くする事が可能となった。これによりアンテナ電位を低く維持したままプラズマ発生が可能となった。このため、アンテナにおける電力損失（アンテナへの正イオン流入）を抑制でき、高密度で低電位のプラズマを効率良く発生させる事が可能となった。また、本装置は大面積基板対応の可能性を探索するため、基板サイズを600×720mm²（第3.5世代マザーガラス）とした。

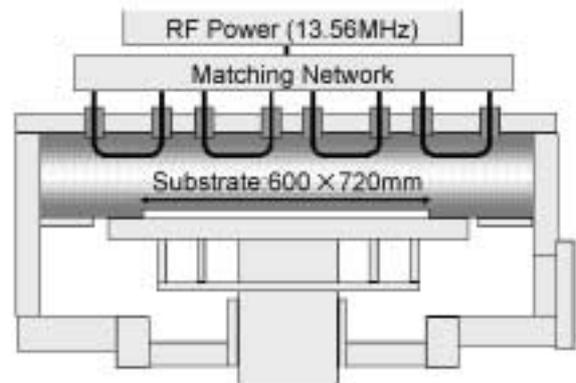


図1 内部アンテナ型低インダクタンスプラズマ源

3. 開発の状況（基礎評価）

本項では今回新たに開発した内部アンテナ型低インダクタンスプラズマ源を用いて堆積したシリコン膜の基礎特性（成膜速度、結晶性、膜厚均一性）について紹介する。膜堆積は以下の条件で実施した。

表 1 膜堆積条件

SiH ₄ Flow	20-200ccm
H ₂ Flow	150ccm
圧力	0.67Pa
基板温度	300
設定膜厚	50nm

(1) 堆積速度

図2は本プラズマ源を用いて作製したシリコン薄膜堆積速度のRF電力依存性を示している。このとき材料ガスであるSiH₄流量を20ccm-200ccmまで変化させている。なお基板温度は300一定とした。同図において堆積速度はいずれのSiH₄流量においてもRF電力に対してリニアに増加する傾向を示し、導入したSiH₄ガスが全て分解される供給律束状態には至っていない。SiH₄=100ccm、RF=10kWにおいて堆積速度は50nm/minに至っている。一般的なTFTの半導体層の膜厚は50-150nmであることから、必要十分な堆積速度が得られていると考えられる。

(2) 膜厚均一性

600×720mm²基板上に50nmのSi膜を堆積させ、膜厚均一性を評価した。図3(a,b)において基板には多少の膜厚分布は見られるものの、中央部においては±5%以下の均一性が得られている事が判る。この膜厚均一性はアンテナの配置ならびに材料ガスの導入口の位置を最適化することで得られている。すなわち、基板サイズが大型化した場合においても、これらのパラメータの最適化により膜厚均一性を制御できる事が明らかとなった。

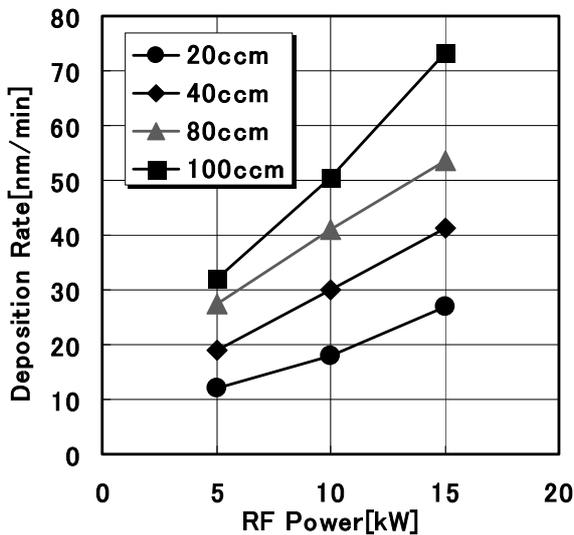


図2 堆積速度のRF電力依存性

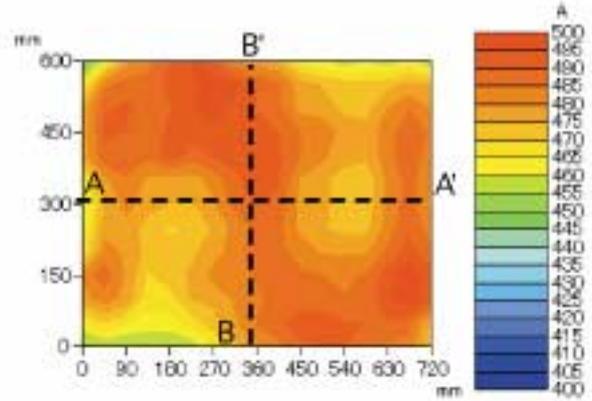


図3(a) 膜厚分布(等高線)

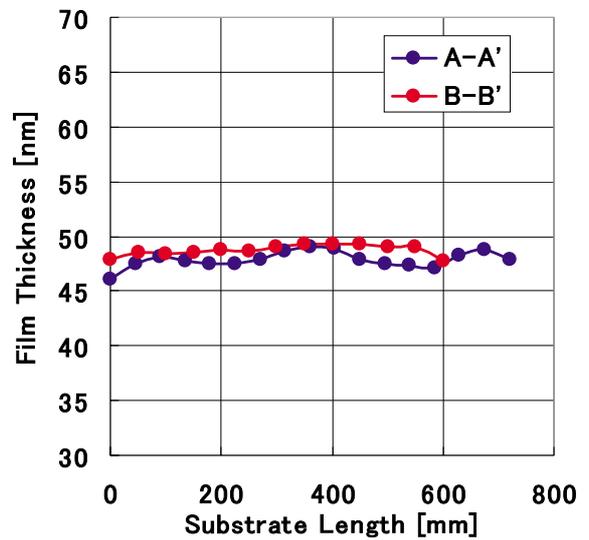


図3(b) 中心線膜厚分布

(3) 結晶性

堆積したSi薄膜サンプルのラマンスペクトルを図4(a,b)に示す。ラマン分光分析ではSiの結晶成分によるフォノン散乱は520cm⁻¹を中心としたシャープなピークとして現れる。一方、非晶質成分(アモルファス)は480cm⁻¹近傍にブロードなピークとして現れる事が知られている。堆積速度20nm/minのサンプルは520cm⁻¹近傍に非常にシャープなピークが現れ、高い結晶性を有している事が判る。一方、堆積速度を2倍とした40nm/minのサンプルもほぼ同様のスペクトルが得られている。すなわち、堆積速度を増大させても結晶性の劣化が抑制されている事が判る。

そこで膜構造の詳細な分析を行なうため、透過型電子顕微鏡(TEM)による断面観察を行なった。TEM観察では膜中の結晶粒は格子状のパターンとして出現し、結晶粒のサイズや配向についての情報を得る事が出来る。図5(a,b)において20nm/minのサンプルでは横方向のサイズが10-20nmの柱状の結晶粒が密に

詰まっている様子が確認される。配向面については統一性が見られず、ランダムであると言える。さらにSiO₂層の界面近傍においても格子パターンが確認でき、界面から結晶化が生じていることが確認できる。

一方、40nm/minのサンプルにおいてもほぼ同様の配向性を有する結晶粒が確認される。また、界面近傍においても非晶質成分が見られず、高い結晶性を有している事が判る。つまり、堆積速度を増加させても界面付近ならびにバルク（膜全体）の結晶構造に変化は見られなかった。

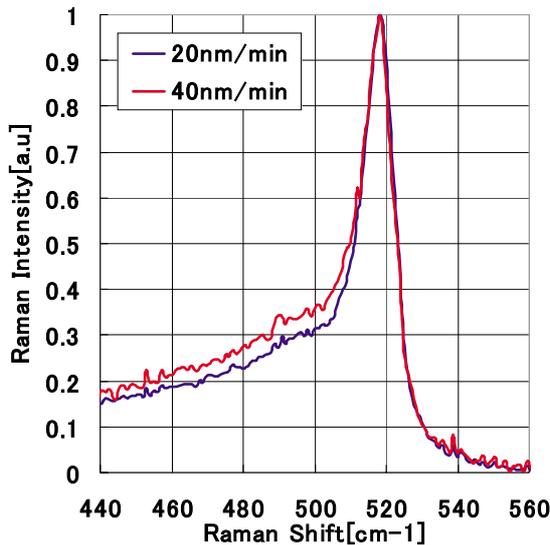


図4 ラマンスペクトル

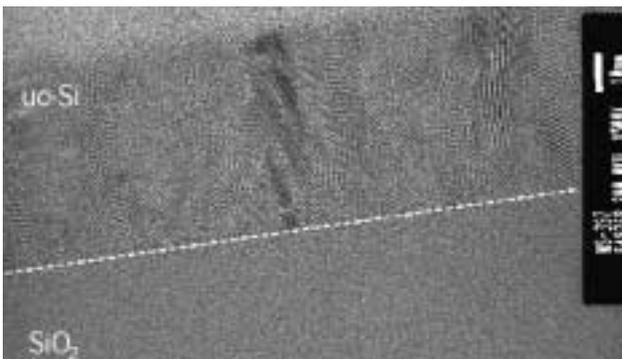


図5(a) 断面TEM像 (D.R=20nm/min)

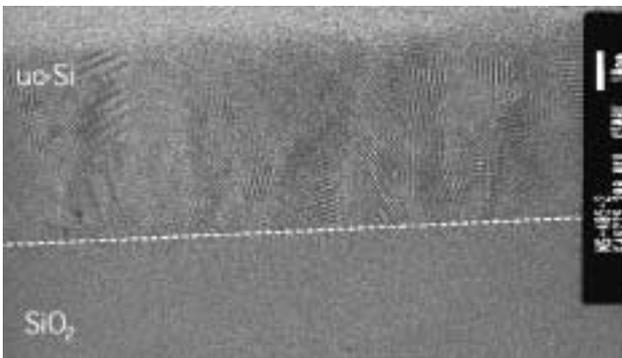


図5(b) 断面TEM像 (D.R=40nm/min)

4. 開発の状況 (考察&応用)

本項では開発したプラズマ源の特性と堆積された多結晶シリコン膜との相関について考察を行なう。また、TFTを作製してその電気特性を評価したので以下に詳細を報告する。

一般に多結晶シリコンを異種材料（ガラス等）に直接堆積させる場合には、プラズマ中に水素ラジカルを多量に発生させ、堆積前駆体であるSiH₃ラジカル分子との反応を利用して基板の上にSi結晶を成長させる手法が採用される⁽⁵⁾。このとき水素ラジカル量を増大させる為に、以下の手法が主に採用されてきた。

- (1) 材料ガス (SiH₄) に水素を大量に希釈させ、水素ラジカルの絶対量を増加させる。
- (2) プラズマへの投入電力を増大してSiH₄を完全に分解させ、プラズマ中でのSiH₃+H SiH₄反応を抑制して水素ラジカルを効率利用する⁽⁶⁾。

(1)の手法では10倍から100倍程度までの高希釈水素を導入するのが一般的である。また、(2)の手法ではRF電力の増大に伴いイオン衝撃により結晶成長が阻害されてしまうことが明らかとなっている。このため、プロセス圧力を高めて損傷を抑制している⁽⁶⁾。しかし、いずれの手法も界面領域からの結晶成長と大面積成膜に課題を残している。

多結晶シリコンを界面近傍から高速度で堆積させるためには高密度の水素ラジカルとプラズマ電位を低く維持してイオン衝撃を抑制する事が重要となる。そこで、本研究で開発したプラズマ源の特性をラングミュアプローブ法により評価した。

図6は単位体積当たりの投入電力に対する電子密度とプラズマ電位の変化を示している。このときCCP方式で発生したプラズマと比較している。なお、両者の測定条件 (SiH₄流量、圧力) は同一条件としている。同図においてCCP方式では投入電力に対してプラズマ電位は増加する傾向にある。一方、ICPでは電力増加に対してプラズマ電位は低下する傾向にある。また、電子密度はいずれの方式でもRF電力に対してリニアに増加するものの、CCP方式では最大1E+10cm⁻³程度であるが、ICP方式では5E+10cm⁻³に達しているのが判る。

このようにICP方式では高密度で低電位のプラズマが発生している事が判明した。一方、CCP方式においても投入電力の増加により高密度プラズマが得られるものの、プラズマ電位の上昇によりイオン衝撃が増大していることが予想される。つまり、従来のCCP方式ではイオン衝撃の影響により界面近傍からの結晶成長が阻害されていたと考えられる。

一般にアモルファスシリコンを用いたTFTはゲート絶縁膜を堆積した後に半導体層を形成する（ボトムゲート

型TFT：BG-TFT)。トランジスタ電流が流れるチャンネル領域はこの半導体層と絶縁膜との界面領域となる。すなわち、この界面領域の結晶性を向上させることがTFT電気特性を向上させることを意味する。したがって本方式で作製された多結晶シリコン膜はBG-TFTへ適用できる可能性があり、その特性はアモルファスシリコンより優れている事が期待される。

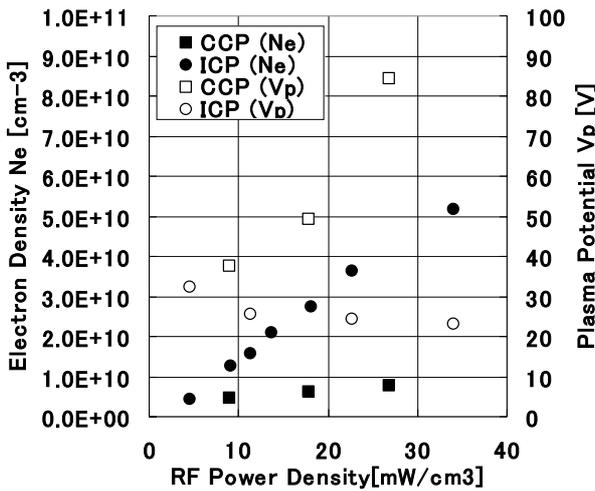


図6 プラズマ診断結果

そこで、TFT電気特性を評価するため、図7に示すBG-TFTを作製した。このTFTでは中央に円状のソース電極を配置し、周囲にドレイン電極を配置する構造としている。また、基板である低抵抗のSi-waferをゲート電極として用いた。なお、ゲート絶縁膜にはSiO₂膜(100nm)、多結晶シリコン膜の膜厚は50nmとした。

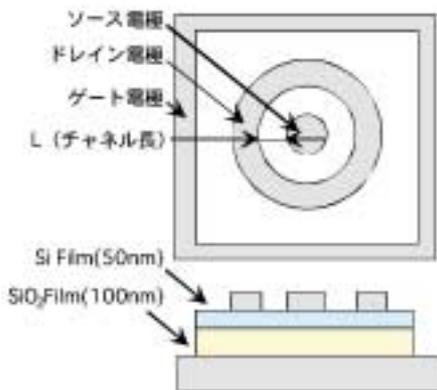


図7 ボトムゲート型TFT

図8(a, b)に本プラズマ源で作製した多結晶シリコン膜のTFT電気特性を示す。同図(a)の出力特性では正のゲートバイアスに対してドレイン電圧と共に比例的に増加する領域(リニア領域)とドレイン電圧に依存し

ない領域(飽和領域)が観察される。これは正のゲートバイアスによって形成された反転領域(チャンネル)に電子電流が流れていることを示している。また、(b)図の伝達特性においては(V_d=+10V)、ゲート電圧の変化に対してドレイン電流が大きく変化することがわかる。このときオフ電流は1E-11A以下、オン電流は1E-5A以上となりON/OFF比は1E+6以上が得られるスイッチング特性となった。

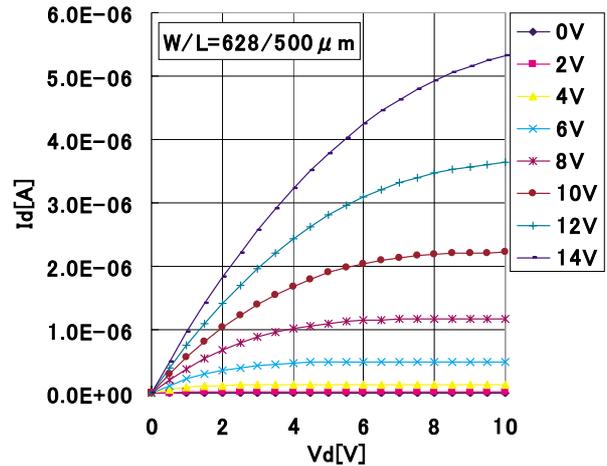


図8(a) TFT出力特性

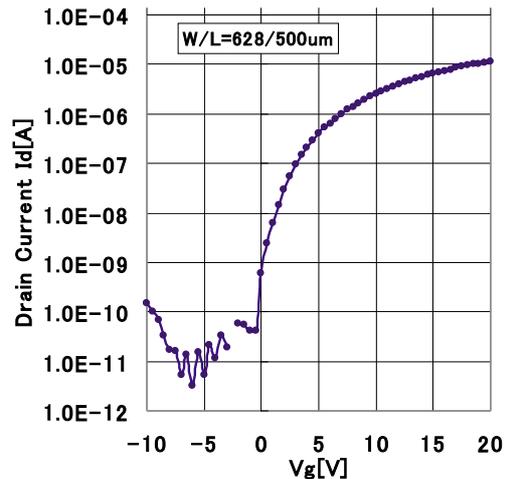


図8(b) TFT伝達特性

表2には堆積速度20nm/minにおける電子移動度、しきい値電圧ならびにストレス印加前後のしきい値シフト量を示している。電子移動度は一般のアモルファスシリコンの値(0.1~0.5cm²/Vs)場合に比べて一桁高い値を示している。さらにストレス印加に対するしきい値シフト量もアモルファスシリコン(V_{th}>+10V)に対して低い値を示している。これまでのアモルファスシリコンTFTで必

要とされていたしきい値シフトを補正するための補償回路を削除できる可能性もある。また、有機EL (OLED) ディスプレイのような電流駆動デバイスではしきい値シフトは画質の変化に直結する。このようなディスプレイにも多結晶シリコンの適用が有効であると考えられる。

表2 TFT電気特性

電子移動度 μ_e	3.00 [cm^2/Vs]
しきい値 V_{th}	4.58 [V]
しきい値シフト $V_{th}[V]^*$	+1.98[V]

* $V_g=+30V$, Temp=80 , Time=1Hr

5. おわりに

我々は次世代の大型マザーガラスに対応可能な新規プラズマ源の開発を実施し、同プラズマ源を用いて低温多結晶シリコン製造装置の開発を行ってきた。同装置によって堆積された多結晶シリコンは下地界面から成長しており高い結晶性を示していた。また、堆積速度を向上させても結晶性の劣化は見られず量産プロセスに適していることが示された。さらに第3.5世代の大型ガラス基板

に堆積させたところ膜厚均一性は約6%となった。また、TFT電気特性はアモルファスシリコンよりも優れた特性を示した。

このように我々は大面積堆積が可能なプラズマ源を用いて低温多結晶シリコンをガラス基板上に直接堆積させることに成功し、次世代の大型液晶ディスプレイに必要な大面積マザーガラス対応する薄膜製造装置として液晶産業に貢献できることを示すことが出来た。

参考文献

- (1) FPD 日経BP(2005)
- (2) Y. Wu and M. A. Lieberman, Plasma Sources Sci. Technol. 9, 210 (2000)
- (3) 日新電機技報 Vol.48 (2003.3)
- (4) M. A. Lieberman and A. J. Lichtengerg, Principles of Plasma Discharges and Materials Processing (Willey, New York, 1994)
- (5) A. Matsuda J. Non-Cryst. Solids 59/60 767 (1983)
- (6) M. Kondo, M. Fukawa, L. Guo and A. Matsuda, J. Non-Cryst. Solids 266-269 84 (2000)

執筆者紹介



高橋英治 Eiji Takahashi
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第3グループ グループ長



藤原将喜 Masaki Fujiwara
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第3グループ



岸田茂明 Shigeaki Kishida
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第2グループ



西上靖明 Yasuaki Nishigami
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第3グループ 主任



小寺隆志 Takashi Kotera
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第2グループ 主任



小野田正敏 Masatoshi Onoda
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第2グループ 主任



久保田清 Kiyoshi Kubota
技術開発研究所
プロセス研究センター
ビーム・プラズマ応用第2グループ グループ長



林 司 Tsukasa Hayashi
技術開発研究所
プロセス研究センター
次長



緒方 潔 Kiyoshi Ogata
技術開発研究所
プロセス研究センター
部長